

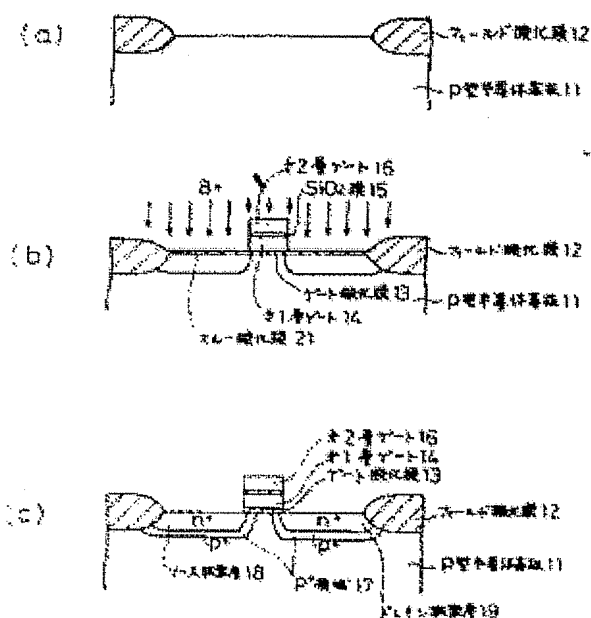
MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: JP62011277
 Publication date: 1987-01-20
 Inventor: FURUYA TOSHIKAZU
 Applicant: FUJITSU LTD
 Classification:
 - international: H01L29/78; H01L21/265; H01L21/336; H01L21/8247; H01L29/788;
 H01L29/792; H01L29/66; H01L21/02; H01L21/70; (IPC1-7): H01L21/265;
 H01L29/78
 - european:
 Application number: JP19850150452 19850709
 Priority number(s): JP19850150452 19850709

Report a data error here

Abstract of JP62011277

PURPOSE: To control a threshold by the difference between diffusion coefficients of B and As by a method wherein ion implantation for threshold control is carried out in self-alignment like ion implantation of B to form source and drain diffused layers. **CONSTITUTION:** A field oxide film 12 and a gate oxide film 13 are provided on a P-type Si substrate 11. After a floating gate 14 of polycrystalline Si is provided, an oxide film 15 is formed and a polycrystalline gate 16 is formed on it. After an SiO₂ thin film 21 is formed, B ions are implanted to form a P<+> type layer 17 and control a threshold. Then As ions are implanted to form source and drain layers 18 and 19. Every ion implantation is carried out in self-alignment by using the gate 16 as a mask. After the layers are activated and the P<+> layer 17, the source layer 18, the drain layer 19 and a channel 20 are completed, FET is completed by the conventional process.



Family list

1 family member for: **JP62011277**

Derived from 1 application

1 MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

Inventor: FURUYA TOSHIKAZU

Applicant: FUJITSU LTD

EC:

IPC: *H01L29/78; H01L21/265; H01L21/336 (+*

Publication info: **JP62011277 A** - 1987-01-20

Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-11277

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)1月20日

H 01 L 29/78
21/265
29/78

7514-5F
7738-5F
8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路の製造方法

⑮ 特 願 昭60-150452

⑯ 出 願 昭60(1985)7月9日

⑰ 発 明 者 古 屋 敏 和 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 出 願 人 富 士 通 株 式 有 限 公 司 川崎市中原区上小田中1015番地

⑲ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体集積回路の製造方法

2. 特許請求の範囲

一導電性型の半導体基板(11)に形成された前記ゲート電極を通し、基板と同一導電型の第1の不純物と、基板と反対導電型の第1の不純物とは拡散定数の異なる第2の不純物を順にイオン注入してMOSトランジスタのしきい値電圧制御のための基板と同一導電型の領域(17)と、ソース拡散層(18)およびドレイン拡散層(19)を形成することを特徴とする半導体集積回路の製造方法。

3. 発明の詳細な説明

(概要)

MISトランジスタのしきい値電圧制御用のイオン注入を、ソース、ドレイン拡散層のAs⁺イオン注入と同様にセルフアラインメント(自己整合)方式で行い、B⁺とAs⁺の拡散定数の違いによりセルしきい値電圧を制御する方法である。

(産業上の利用分野)

本発明は半導体集積回路の製造方法に関するもので、さらに詳しく言えば半導体集積回路の製造において、ドレイン端にイオン注入することによりしきい値電圧を制御する方法に関する。

(従来の技術)

例えばE-PRONのセルは第2図に示される構造のもので、同図において、31はp型シリコン基板、32はゲート酸化膜、33はフローティングゲート、34はゲート、35はn⁺型のソース拡散層、36はn⁺型のドレイン拡散層、37はドレイン電極、38はゲート電極を示す。

E-PRONの書き込みにおいてはフローティングゲート33に電子をため、ドレイン電極37に例えば15V、ゲート電極に20Vの高い電圧を印加すると、ピンチオフになり、点線で示す如く空乏層39が拡がり、ソース拡散層35からの電子とドレイン拡散層36からの正孔のインパクトがあり、それにより正孔が下の方に流れ、電子は酸化膜32に入ってホットエ

レクトロンになるが、前記した高電圧がかかっているで電子は酸化膜32をこえてフローティングゲート33に入る。

書き込みをよくするためには電子を多く発生させショートチャネルにすることによりパンチスルー気味にして電子と正孔が発生し易いようにする。パンチスルーになると電子が全てドレインに到達し書き込みが悪くなる。

第3図を参照すると、同図(a)に示されるようにゲート酸化32を通して B^+ を矢印方向にイオン注入し、最終的にソース、ドレイン拡散層を同図(a)に示す如く形成する。なお第3図において、39はフィールド酸化膜を示す。

(発明が解決しようとする問題点)

集積回路の微細化に伴い第3図に示したMISトランジスタのゲート領域での微細欠陥による特性劣化が致命的となる。従来、ゲート部へ SiO_2 を介在させてしきい値電圧制御のためのイオン注入を実施したのであるが、上記した理由から特性劣

化などの問題を生じる。

また上記したイオン注入は酸化膜を通してのイオン注入であるので耐圧が良くない問題がある。イオン注入のときのエネルギーが30KeV程度だと特に問題はないが、150 KeV程度と高くなるとゲート酸化膜がダメージを受け、アニールしてもそのダメージは回復しない。

本発明はこのような点に鑑みて創作されたもので、しきい値電圧の制御のためのイオン注入の改善された方法を提供することを目的とする。

(問題点を解決するための手段)

第1図(a)ないし(c)は本発明実施例の断面図である。

第1図(a)に示されるように、p型半導体基板11にフィールド酸化膜12を形成し、次いで同図(b)に示される如くゲート酸化膜13、フローティングゲート14、 SiO_2 膜15、ゲート16を形成した後に、セルフアラインメント方式でしきい値電圧制御のための B^+ イオン注入をなす。次いで、 As^+ をイ

オン注入してソース、ドレイン拡散層を形成する。 B^+ の拡散定数は As^+ の拡散定数の5倍程度であるので、 As^+ イオン注入が終わったときは第1図(c)に示される如くにしきい値電圧制御用の p^+ 領域17、ソース拡散層18、ドレイン拡散層19が形成される。

(作用)

上記方法においては、E-PROMのセルのしきい値電圧制御用の B^+ イオン注入をソース、ドレイン拡散層の As^+ イオン注入と同様にセルフアラインメント方式で行うが、 B^+ と As^+ の拡散定数が異なるので、第1図(c)に示される構造が得られ、ドレイン、ソース拡散層間の耐圧(BV_{DS})が向上するのである。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図(a)に示される如くp型半導体基板11にフ

ィールド酸化膜12を形成した後に、ゲート酸化膜13を形成し、第1層ゲート(フローティングゲート)用のポリシリコンを被着し、このポリシリコンを酸化して SiO_2 膜15を作る。引続き第2層ゲート16を作るためのポリシリコンを成長し、基板11を酸化して200 Å程度のスルー酸化膜21を形成する。

酸化膜21を通して、 B^+ を100 KeVの加速エネルギー、ドーズ量 $3 \times 10^{14} / \text{cm}^2$ で図に矢印で示す方向にイオン注入する。このイオン注入はしきい値電圧制御(またはパンチスルー防止)のためになされる。引続き、 As^+ を、70KeVの加速エネルギー、ドーズ量 $4 \times 10^{15} / \text{cm}^2$ で同様矢印方向にイオン注入する。このイオン注入はソース、ドレイン拡散層を作るためである。いずれのイオン注入もゲート16をマスクにセルフアラインメント方式でなされる(第1図(b))。このイオン注入によって酸化膜21はダメージを受けるが、酸化膜21は除去されるから問題はない。

イオン注入後活性化すると、しきい値制御用の

p⁺領域17と、ソース拡散層18、ドレイン拡散層19、チャネル20は第1図(a)に示される如く形成される。

次いで、通常の技術で、ポリシリコンと Al 配線の絶縁用 PSG を成長し、それに電極窓をあけ、Al を成長しパターニングし、カバー膜用の PSG を成長して MOS トランジスタを完成する。

ゲート膜厚を450 Å、ゲート長を1.5 μm に設定して実施例において、BV_{DS}が従来例では8~15Vの範囲内で不安定であったものが、13~15Vの範囲内で安定した。

(発明の効果)

以上述べてきたように、本発明によれば、B-PROHのセルのしきい値電圧制御が安定になされ、しかもしきい値制御用のイオン注入とソース、ドレイン拡散層のためのイオン注入はセルフアラインメント方式でなされる利点がある。なお、以上ではEPROMセルを例に説明したが、本発明の適用範囲はその場合に限定されるものでなく、MISト

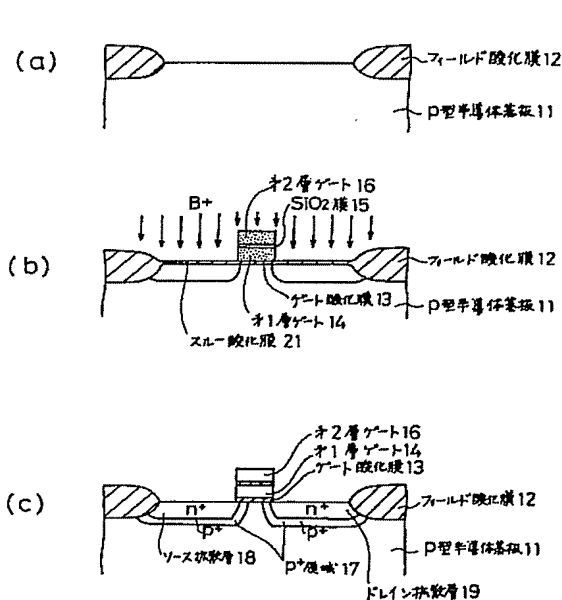
ランジスタ一般に適用されるものである。

4. 図面の簡単な説明

第1図(a)ないし(c)は本発明実施例の断面図、
第2図は従来例E-PROHのセルの断面図、
第3図は従来例E-PROHのセルを作る工程を示す断面図である。

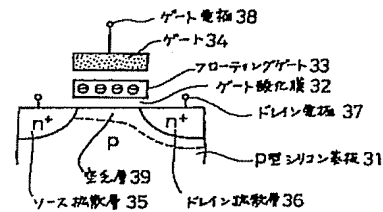
第1図において、

- 11はp型半導体基板、
- 12はフィールド酸化膜、
- 13はゲート酸化膜、
- 14は第1層ゲート、
- 15はSiO₂膜、
- 16は第2層ゲート、
- 17はp⁺領域、
- 18はソース拡散層、
- 19はドレイン拡散層、
- 20はチャネル、
- 21はスルー酸化膜である。



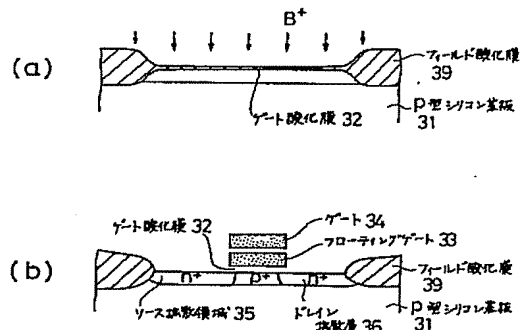
本発明実施例断面図

第1図



従来例E-PROHのセルの断面図

第2図



従来例工程断面図

第3図